



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10303387 A**(43) Date of publication of application: **13.11.98**

(51) Int. Cl. **H01L 27/108**
H01L 21/8242
G11C 11/401

(21) Application number: **09111242**(22) Date of filing: **28.04.97**(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **SHIMOMURA KENICHI**
OKUDA FUMIHIRO
SAKASHITA NORIYOSHI

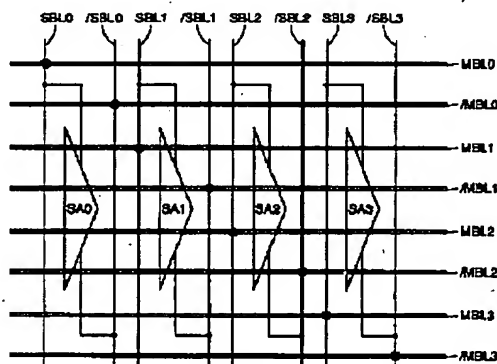
(54) **SEMICONDUCTOR STORAGE DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To arrange a sense amplifier at desired position, by using a plurality of first sub-bit lines and second sub-bit lines extending in the same direction as a word line for connection between every sense amplifier and every main bit line.

SOLUTION: A paired main bit line MBL0 is extended from a memory cell array area and is connected with a sense amplifier SA0. A paired sub-bit line SBL0 extending in the direction of word line is used for connection with the paired main bit line MBL0. In the same manner, the connection between a paired main bit line MBL1 and a sense amplifier SA1, connection between a paired main bit line MBL2 and a sense amplifier SA2, and connection between a paired main bit line MBL3 and a sense amplifier SA3 are realized by using a paired sub-bit line SBL1, a paired sub-bit line SBL2 and a paired sub-bit line SBL3 extending in the direction of word line respectively. Thus, the arrangement of the sense amplifiers can be designed at desired position.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303387

(43) 公開日 平成10年(1998)11月13日

(51) Int. Cl.⁵

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 B

21/8242

G 1 1 C 11/34

3 6 2 B

G 1 1 C 11/401

3 7 1 K

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号

特願平9-111242

(22) 出願日

平成9年(1997)4月28日

特許法第30条第1項適用申請有り 1996年11月 THE
IEEE SOLID STATE CIRCUIT
S COUNCIL発行の「IEEE JOURNAL
OF SOLID-STATE CIRCUITS,
VOL. 31, No. 11」に発表

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 下塚 研一

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 奥田 文宏

兵庫県伊丹市東有岡4丁目42番8号 株式
会社エルテック内

(72) 発明者 坂下 徳美

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

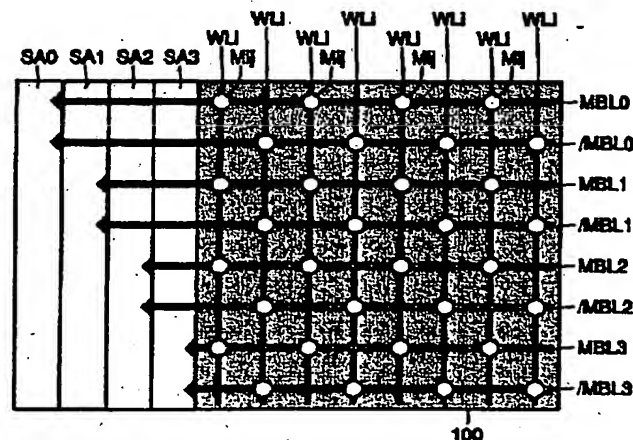
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 センスアンプ回路が形成される領域が占める
平面面積を小さくすることが可能な半導体記憶装置を提
供する。

【解決手段】 センスアンプSA0とメインビット線対
MBL0、/MBL0との接続には、ワード線が延びる
方向と同じ方向に延びる第1サブビット線SBL0と第
2サブビット線/SBL0とを含むサブビット線対から
なるサブビット線が用いられる。



SA0~SA3: センスアンプ MBL0~MBL3 } メインビット線
WL1: ワード線 /MBL0~/MBL3 }
MJ: メモリセル 100: メモリセルアレイ領域

【特許請求の範囲】

【請求項1】 同じ方向に延びる第1メインビット線と第2メインビット線とからなるメインビット線が複数本配置され、

前記メインビット線に交差するように配列される複数本のワード線と、

前記メインビット線と前記ワード線との交差点に配置された複数個のメモリセルからなるメモリセルアレイ領域と、

前記メモリセルアレイ領域から延びる前記メインビット線に対応して接続され、前記メインビット線の電圧差を感知し、増幅するための複数個のセンスアンプ手段と、を備え、

前記センスアンプ手段は、前記メインビット線対の延びる方向に沿って複数個並ぶように配列され、前記各センスアンプと前記各メインビット線との接続には、それぞれ前記ワード線が延びる方向と同じ方向に延びる第1サブビット線と第2サブビット線とからなるサブビット線が複数本用いられる、半導体記憶装置。

【請求項2】 前記第1メインビット線と前記第2メインビット線とは、平行に配置された、請求項1に記載の半導体記憶装置。

【請求項3】 前記第1メインビット線と前記第2メインビット線とは、同一の直線上に配置された、請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に関し、より特定的には、半導体記憶装置におけるセンスアンプ配置のための構造の改良に関するものである。

【0002】

【従来の技術】 近年、DRAM (Dynamic Random Access Memory) に代表される半導体記憶装置は、高集積化が進むにつれて、その構造が変化している。特に、DRAMの高集積化を1Gbit (ギガビット) に代表されるGbit級へと押し進めた場合、メモリセル領域、周辺回路領域のサイズの縮小が余儀なくされる。DRAMにおいては、単純にその構造を変えずに、メモリ容量を増加すると、メモリセルからの信号電圧が低下したり、消費電力および遅延時間が増大する。そのため、消費電力および遅延時間の増大を抑制するため、ビット線またはワード線を多数に分割するという方法が用いられる。

【0003】 具体的には、伊藤清男著 (超LSIメモリ) P. 132~P. 139に、ワード線の分割方法、ビット線の分割方法およびセンスアンプ配置方法が開示されている。

【0004】 ここで、ビット線の分割を例にして、従来のアレイ制御回路の分割方法と配置方法とについて説明する。

【0005】 まず、図7を参照して、DRAMにおける

ビット線のレイアウト方式の1種として、オープンビット線配置の構造について説明する。なお、図7は、オープンビット線構成を概念的に示す平面図である。

【0006】 1つのセンスアンプSAjに接続される1対のビット線BLj、/BLjがそのセンスアンプを挟んで対向配置されている。このオープンビット線構成によれば、メモリセルMijは、ワード線WLiとビット線BLj、/BLjの各交差点に1個ずつ配置される。そのため、レイアウトの効率の上では、オープンビット線構成はメモリセルの高密度化に適している。

【0007】 しかしながら、オープンビット線構成は、1本のビット線に対して1個のセンスアンプSAjが対応するように配置されるため、センスアンプの配置間隔 (ピッチ) はビット線間隔に支配される。すなわち、センスアンプは1メモリセルピッチ内に配置される必要上、センスアンプのピッチの緩和は不可能であり、オープンビット線構成はセンスアンプの設計レイアウト上不利である。

【0008】 次に、図8を参照して、DRAMにおけるビット線のレイアウト方式の1種として折返しビット線構成について説明する。なお、図8は、折返しビット線構成を概念的に示す平面図である。

【0009】 1つのセンスアンプSAjに接続される1対のビット線BLj、/BLjが平行に配置されている。この折返しビット線構成によれば、ビット線対を構成する2本のビット線が近接しているため、加工によるばらつき、電気的なノイズなどの影響を受けにくい。したがって、ビット線のバランスやセンスアンプの感度の面から、図7に示されるオープンビット線構成に比べて有利である。

【0010】 また、この折返しビット線構成によれば、センスアンプの片側に配置されたメモリセルアレイに隣り合う2本のビット線からなるビット線対が配置されるため、センスアンプの配置間隔 (ピッチ) は2メモリセルピッチに緩和される。すなわち、オープンビット線構成に比べて、折返しビット線構成はセンスアンプの設計レイアウト上、比較的に有利な構成である。

【0011】

【発明が解決しようとする課題】 しかしながら、図8に示すように、折返しビット線構成によれば、通過ワード線の処理などの設計レイアウトの制限により、ワード線WLiとビット線BLj、/BLjのすべての交点にメモリセルMijを配置することはできない。そのため、メモリセルアレイの高密度化、すなわちメモリセルアレイ領域の面積の縮小が十分に図られない。

【0012】 今後、Gbit級に対応して半導体記憶装置の高集積化が進むと、図9に示すように、センスアンプの配置間隔 (ピッチ) が、メモリセルピッチよりも大きくなり、メモリセルアレイ領域100よりもセンスアンプ領域の方が大きくなってしまふ。その結果、センス

アンプの設計レイアウトを行なうことができなくなる。

【0013】さらに、メモリセル領域100とセンスアンプ領域とをつなぐための余分な配線領域110が生じるため、半導体記憶装置の面積が増加するという問題が生じる。

【0014】一方、センスアンプ領域のセンスアンプの配置間隔(ピッチ)に合わせてメモリセルアレイ領域100におけるビット線を配置すると、メモリセル回路領域100の面積が増加し、半導体記憶装置の面積が増加するという問題が生じる。

【0015】ここで、このような問題点を解決するために、特開平2-166690号公報に、センスアンプの配置について提案されている。このセンスアンプの配置について、図10および図11を参照して説明する。なお、図10は、特開平2-166690号公報に開示された折返しビット線構成を概念的に示す平面図であり、図15は、センスアンプとビット線との接続を概念的に示す図である。

【0016】上記公報に開示されたセンスアンプの配置によれば、ビット線BL0~BL3、/BL0~/BL3の延びる方向に沿って、センスアンプSA0~SA3が配置されている。このように、センスアンプSA0~SA3を配置することによって、ビット線のピッチ間隔に影響されることなくセンスアンプSA0~SA3を配置することが可能となっている。

【0017】しかしながら、具体的にセンスアンプSA0~SA3を配置した場合、センスアンプ帯を設けるための必要面積から、センスアンプがワード線WL_iの延びる方向にそれぞれずれて配置されることになる。その結果、センスアンプを形成するための領域が、メモリセルアレイ領域からはみ出してしまうという問題が生じる。

【0018】したがって、この発明は上記のような問題点を解消するためになされたもので、メモリセルアレイ領域を構成するビット線の間隔と無関係にセンスアンプを配置することができるとともに、そのセンスアンプ回路が形成される領域が占める平面面積を効率よく小さくすることが可能な半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】この発明に従った半導体記憶装置は、同じ方向に延びる第1メインビット線と第2メインビット線とからなるメインビット線が複数本配置され、上記メインビット線に交差するように配列される複数本のワード線と、上記メインビット線と上記ワード線との交差点に配置された複数個のメモリセルからなるメモリセルアレイ領域と、上記メモリセルアレイ領域から延びる上記メインビット線に対応して接続され、上記メインビット線の電圧差を感知し、増幅するための複数個のセンスアンプ手段とを備えている。さらに、上記

センスアンプ手段は、上記メインビット線対の延びる方向に沿って複数個並ぶように配列され、上記各センスアンプと上記各メインビット線との接続には、それぞれ上記ワード線が延びる方向と同じ方向に延びる第1サブビット線と第2サブビット線とからなるサブビット線が複数本用いられている。

【0020】また、好ましくは、上記第1メインビット線と上記第2メインビット線とは、平行に配置されている。

10 【0021】また、好ましくは、上記第1メインビット線と上記第2メインビット線とは、同一の直線上に配置されている。

【0022】

【発明の実施の形態】

(実施の形態1)以下、図1および図2を参照して、この発明に従った実施の形態1における半導体記憶装置において、折返しビット線構成に適用した場合について説明する。なお、図1は、折返しビット線構造のレイアウトを概念的に示す平面図であり、図2は、センスアンプとビット線との接続の関係を概念的に示す平面図である。

【0023】まず、図1を参照して、4個のセンスアンプSA0、SA1、SA2およびSA3がメインビット線MBL0~MBL3、/MBL0~/MBL3の延びる方向に沿って並んで配置されている。メインビット線MBL_j、/MBL_jとワード線WL_iとの交差点には、通過ワード線の処理等のレイアウトの制限を受けて1つおきにメモリセルM_{ij}が配置されている。

【0024】メモリセルアレイ領域100から延びるメインビット線は、各センスアンプSA0、SA1、SA2およびSA3に接続される。

【0025】ここで、図2を参照して、メインビット線とセンスアンプとの接続関係について説明する。センスアンプSA0に着目すると、メインビット線対MBL0、/MBL0がメモリセルアレイ領域100から延び、センスアンプSA0に接続される。ここで、メインビット線対MBL0、/MBL0とセンスアンプSA0との接続には、ワード線方向に延びるサブビット線対SBL0、/SBL0が用いられる。

40 【0026】同様に、メインビット線対MBL1、/MBL1とセンスアンプSA1との接続には、ワード線方向に延びるサブビット線対SBL1、/SBL1が用いられる。メインビット線対MBL2、/MBL2とセンスアンプSA2との接続には、ワード線方向に延びるサブビット線対SBL2、/SBL2が用いられる。メインビット線対MBL3、/MBL3とセンスアンプSA3との接続には、ワード線方向に延びるサブビット線対SBL3、/SBL3が用いられる。

50 【0027】このように、サブビット線対を介在してメインビット線対と対応するセンスアンプとを接続するこ

とによって、センスアンプSA0～SA3の配置を任意の配置に設計することが可能となる。その結果、センスアンプSA0～SA3を効率よく配置することが可能となる。

【0028】また、図3を参照して、図1および図2で説明したセンスアンプの配置を、実際のDRAMに適用した場合のセンスアンプレイアウトを説明する。

【0029】図3においては、8ビットごとに同じパターンが繰返されるパターンを有し、メインビット線対MBL0、/MBL0～MBL7、/MBL7の8つのメインビット線対を有している。また、これらのメインビット線対に対応する8つのセンスアンプSA0～SA7が設けられている。

【0030】ここで、図4を参照して、代表例として、センスアンプSA0、SA1領域の構成について説明する。

【0031】メインビット線MBL0がサブビット線SBL0に接続され、メインビット線/MBL0がサブビット線/SBL0に接続されている。サブビット線SBL0は、センスアンプSA0内に設けられたセンスアンプトランジスタ300内に設けられるゲート配線10bに電気的に接続されている。また、サブビット線/SBL0も同様に、ゲート配線10aに電気的に接続されている。

【0032】図4に示すように、ゲート配線10a、10bは、ともにワード線が延びる方向に沿って十分なゲート長さを有している。したがって、しきい値のばらつきが小さいセンスアンプトランジスタを提供することが可能となる。その結果、ノイズに強い高性能のセンスアンプを提供することが可能となる。

【0033】センスアンプSA1の領域においても、メインビット線MBL1がサブビット線SBL1に接続され、メインビット線/MBL1がサブビット線/SBL1に接続されている。サブビット線SBL1はゲート配線10dに接続され、サブビット線/SBL1はゲート配線10cに接続されている。

【0034】したがって、センスアンプSA1領域においても、センスアンプSA0領域と同様に、センスアンプトランジスタのゲート長さに余裕を持たせることができるため、しきい値のばらつきが小さいセンスアンプトランジスタを提供することが可能となる。

【0035】また、サブビット線を用いてメインビット線とセンスアンプとを接続することにより、センスアンプの配置の設計の自由度が向上する。その結果、センスアンプSA0、SA1の2つの領域をまたがるように、1つのセンスアンプ駆動トランジスタ200を設けることが可能となる。したがって、2つのセンスアンプ形成領域に対して1つのセンスアンプ駆動トランジスタを配置することが可能となり、半導体記憶装置の高速動作を実現させることが可能となる。

【0036】（実施の形態2）次に、図5を参照して、この発明に従った実施の形態2における半導体記憶装置において、オープンビット線構成に適用した場合について説明する。図5は、オープンビット線構成のレイアウトを概念的に示す平面図である。

【0037】メインビット線MBL0～MBL3、/MBL0～/MBL3の延びる方向に沿って4個のセンスアンプSA0～SA3が配置されている。これらの4個のセンスアンプの両側にはメモリセルアレイ領域100、100が配されている。メインビット線BLj、/BLjとワード線WL iの各交差点には、メモリセルMijが1個ずつ配置されている。

【0038】メインビット線とセンスアンプとの接続関係については、上述した実施の形態1と同様に、メインビット線対MBL0、/MBL0とセンスアンプSA0との接続には、ワード線方向に延びるサブビット線対SBL0、/SBL0が用いられる。メインビット線対MBL1、/MBL1とセンスアンプSA1との接続には、ワード線方向に延びるサブビット線対SBL1、/SBL1が用いられる。メインビット線対MBL2、/MBL2とセンスアンプSA2との接続には、ワード線方向に延びるサブビット線対SBL2、/SBL2が用いられる。メインビット線対MBL3、/MBL3とセンスアンプSA3との接続には、ワード線方向に延びるサブビット線対SBL3、/SBL3が用いられる。

【0039】したがって、図5に示すオープンビット線構成において、本願発明の構成を適用した場合においても、実施の形態1と同様に、メインビット線対とセンスアンプとをサブビット線を介在して用いることにより、センスアンプの配置を任意の位置に配置することが可能となり、センスアンプを効率よく配置し、半導体記憶装置の高集積化を図ることが可能となる。

【0040】また、本発明に従ったセンスアンプを、図6に示すように、シェアードの折返し型ビット線方式に適用した場合においても、同様の作用効果を得ることができる。

【0041】以上、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0042】

【発明の効果】この発明に従った半導体記憶装置によれば、センスアンプとメインビット線との接続において、サブビット線を用いることにより、センスアンプの配置を任意の位置に設ける設計が可能となる。その結果、センスアンプを効率よく配置して、半導体記憶装置の高集積を実現することが可能となる。

【0043】また、センスアンプ内に設けられるトラン

ジスタのゲート長さ（ワード線が延びる方向）に余裕を持たせることができるため、しきい値のばらつきが小さいトランジスタを形成することが可能となる。その結果、ノイズに強い高性能のセンスアンプを構成することが可能となる。

【0044】また、サブビット線はセンスアンプ形成領域にのみ配線されるため、たとえばメモリセルアレイ領域に形成されるDRAMのキャパシタのセルプレートと同じ配線層を使ってレイアウトすることが可能となる。したがって、メモリセル形成領域とセンスアンプ形成領域との段差が緩和され、セルプレート平坦化のプロセス工程を削減することが可能となり、半導体記憶装置のプロセス工程の簡略化を図ることが可能となる。

【0045】また好ましくは、第1メインビット線と第2メインビット線とが平行に配置されている。これにより、上述した本発明における構造を従来のオープン型ビット線方式のDRAMに適用することが可能となる。

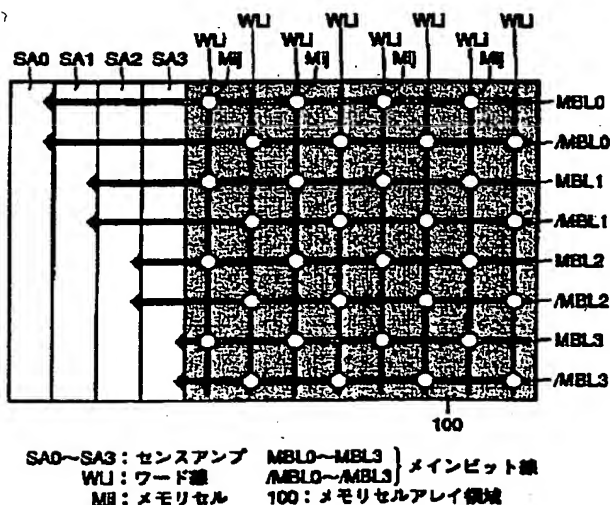
【0046】また、好ましくは、第1メインビット線と第2メインビット線とが同一の直線上に配置されている。これにより、上述した発明を折返し型ビット線方式に適用することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における折返しビット線構成のレイアウトを概念的に示す平面図である。

【図2】 図1における、センスアンプとビット線との接続の関係を概念的に示す平面図である。

【図1】



【図3】 図1におけるセンスアンプ配置を適用したセンスアンプレイアウトを示す平面図である。

【図4】 図3におけるセンスアンプSA0, SA1の部分拡大図である。

【図5】 この発明の実施の形態2におけるオープンビット線構成のレイアウトを概念的に示す平面図である。

【図6】 この発明に基づいた実施の形態2におけるシェアード型の折返しビット線構成のレイアウトを概念的に示す平面図である。

10 【図7】 従来技術におけるオープンビット線構成のレイアウトを概念的に示す平面図である。

【図8】 従来技術における折返しビット線構成のレイアウトを概念的に示す平面図である。

【図9】 従来技術における折返しビット線構成の問題点を示す第1の図である。

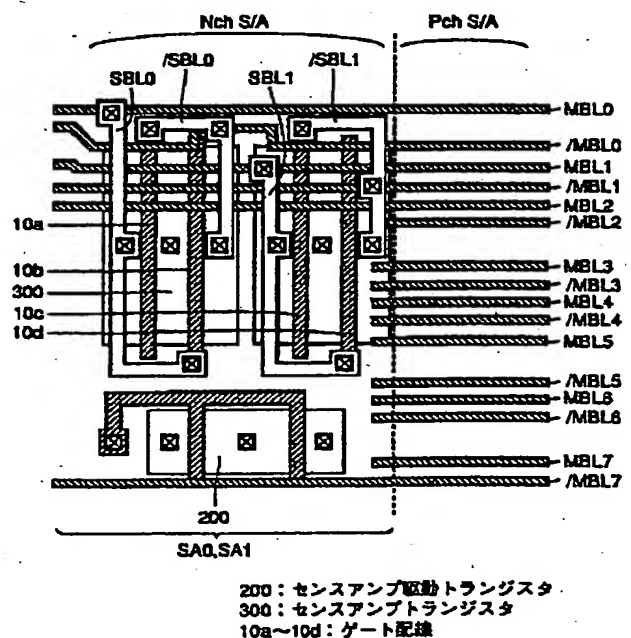
【図10】 従来技術における折返しビット線構成の問題点を示す第2の図である。

【図11】 図10に示すメインビット線とセンスアンプとの接続関係を概念的に示す平面図である。

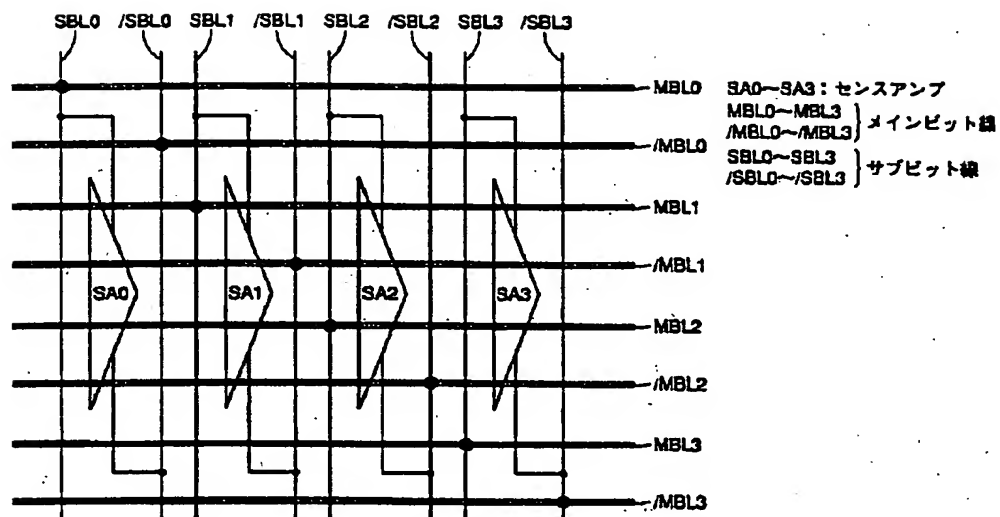
20 【符号の説明】

SA0~SA3 センスアンプ、WLi ワード線、Mji メモリセル、MBL0~MBL3、/MBL0~/MBL3 メインビット線、SBL0~SBL3、/SBL0~/SBL3 サブビット線、100 メモリセルアレイ領域。

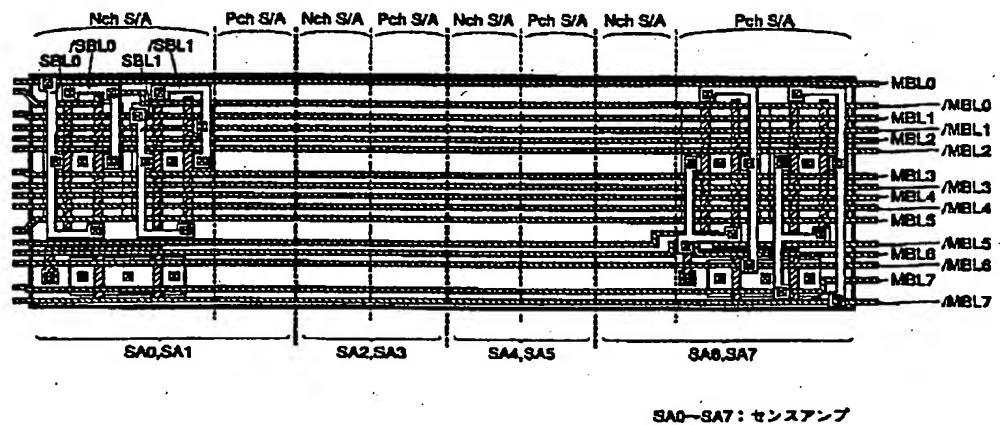
【図4】



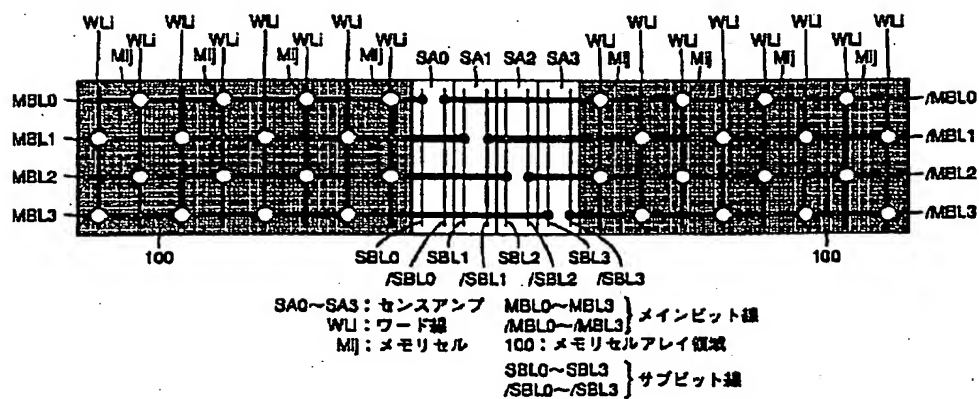
【図 2】



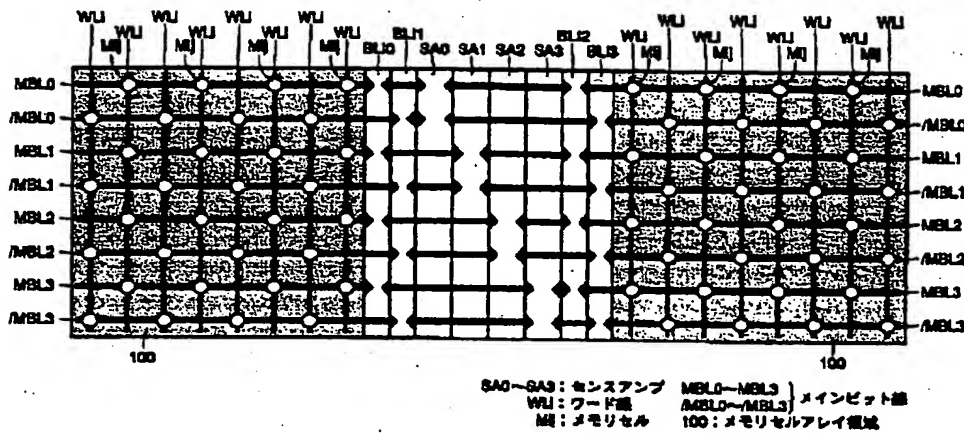
【図 3】



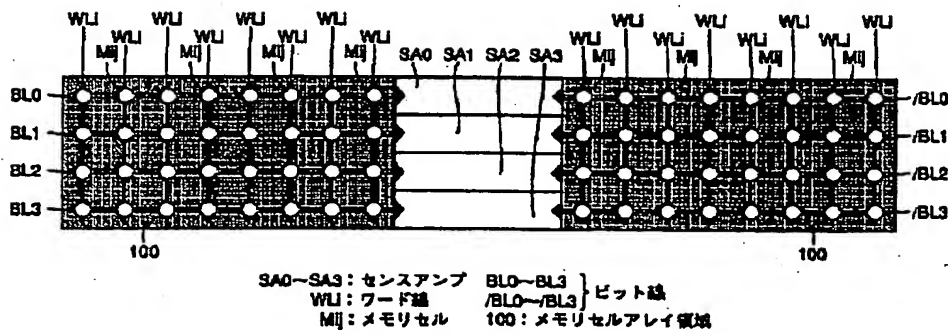
【図 5】



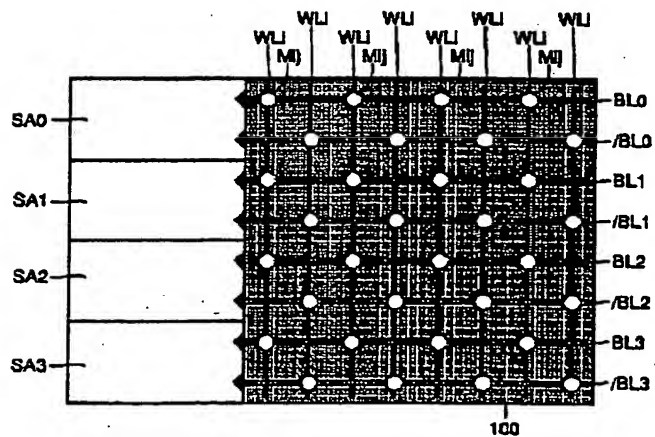
【図6】



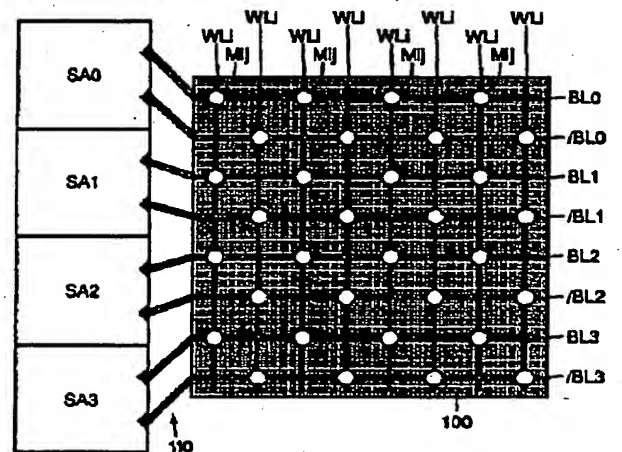
【図7】



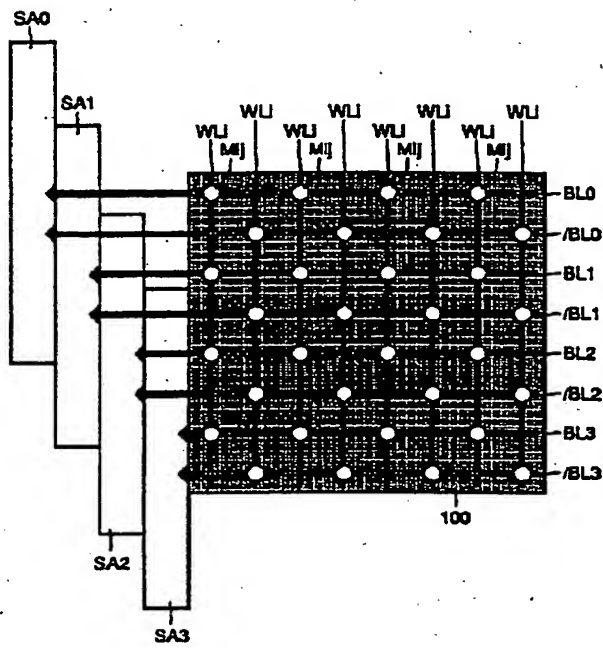
【図8】



【図9】



【図10】



【図11】

